

#2 | Priority  
paper  
11-21-01  
Ratelles

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2001年 3月30日

出 願 番 号  
Application Number:

特願2001-100566

出 願 人  
Applicant(s):

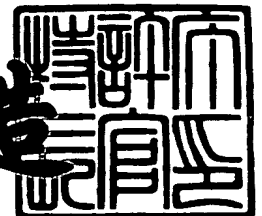
富士通株式会社  
富士通ヴィエルエスアイ株式会社

11050 U.S. PTO  
09/939752  
06/28/01

2001年 5月30日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-304674.7

【書類名】 特許願

【整理番号】 0041004

【提出日】 平成13年 3月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/118

【発明の名称】 基本セル、半導体集積回路装置、配線方法、及び配線装置

【請求項の数】 10

【発明者】

    【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴィエルエスアイ株式会社内

    【氏名】 小牧 正樹

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【特許出願人】

    【識別番号】 000237617

    【氏名又は名称】 富士通ヴィエルエスアイ株式会社

【代理人】

    【識別番号】 100098431

    【弁理士】

    【氏名又は名称】 山中 郁生

    【電話番号】 052-263-3131

【選任した代理人】

    【識別番号】 100097009

    【弁理士】

    【氏名又は名称】 富澤 孝

【手数料の表示】

    【予納台帳番号】 041999

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0008078

【包括委任状番号】 0008079

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 基本セル、半導体集積回路装置、配線方法、及び配線装置

【特許請求の範囲】

【請求項 1】 半導体集積回路装置のレイアウトにおける基本単位を構成する基本セルにおいて、

前記基本セルは、前記基本セル間に共通に配線される固定配線を備えておらず、上位の配線層と接続されるべき接続端子を備えることを特徴とする基本セル。

【請求項 2】 前記上位の配線層で、前記基本セル間に配線されるべき配線を配線することを特徴とする請求項 1 に記載の基本セル。

【請求項 3】 前記接続端子は、

前記基本セル間に配線されるべき配線と同じ配線層を含むスタック V I A を備えることを特徴とする請求項 1 又は 2 に記載の基本セル。

【請求項 4】 前記基本セル間に配線されるべき配線は、

電源配線及び接地配線を含み、

前記接続端子は、

前記基本セルへの電源供給端子及び接地電位供給端子を含むことを特徴とする請求項 1 乃至 3 の少なくとも何れか 1 項に記載の基本セル。

【請求項 5】 請求項 1 乃至 4 の少なくとも何れか 1 項に記載の 2 以上の基本セルと、

適宜に選択される所定配線方向及び所定配線幅で、前記基本セル間の対応する前記接続端子間を前記上位の配線層で接続する上位配線とを備えることを特徴とする半導体集積回路装置。

【請求項 6】 前記上位配線は、

配線経路中に存在する配線禁止領域に対して、適宜に迂回路を形成することを特徴とする請求項 5 に記載の半導体集積回路装置。

【請求項 7】 請求項 1 乃至 4 の少なくとも何れか 1 項に記載の基本セルを 2 以上配置する半導体集積回路装置に配線を施すに当たり、前記基本セル間の対応する前記接続端子間を前記上位の配線層で接続する上位配線の配線方向及び配線

幅を適宜に選択した上で、前記上位配線の優先して配線することを特徴とする配線方法。

【請求項 8】 前記各上位配線の配線経路中に配線禁止領域が存在する場合、前記各上位配線の配線経路を適宜に屈曲させることにより、前記配線禁止領域を適宜に迂回することを特徴とする請求項 7 に記載の配線方法。

【請求項 9】 請求項 7 又は 8 に記載の配線方法を実施するため、前記接続端子の配置位置を含む基本セル情報を格納するセル情報記憶手段と、前記基本セル間の対応する前記接続端子を接続する前記上位配線の配線方向、配線幅、配線優先順位、配線層、及び配線経路中の配線禁止領域を含む配線情報を、必要に応じて設定する配線情報設定手段と、

前記配線情報設定手段により設定される各種配線情報を格納する配線情報記憶手段と、

前記セル情報記憶手段に格納された前記接続端子の配置位置に基づき、前記配線情報記憶手段に格納された前記上位配線の配線方向、配線幅、配線優先順位、及び配線層に従い、配線経路中の配線禁止領域を迂回しながら配線処理を行う制御手段と、

前記制御手段により行われる配線処理状況を確認する確認手段と、

前記制御手段により行われた配線処理結果を格納する配線データ格納手段とを備えることを特徴とする配線装置。

【請求項 10】 請求項 7 又は 8 に記載の配線方法を、請求項 9 に記載の配線装置において実行することが可能な配線処理プログラムを格納する記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置のレイアウトにおける基本単位を構成する基本セル、更にこの基本セルを使用した半導体集積回路装置、配線方法、及び配線装置に関するものであり、特に、ゲートアレイ方式やスタンダードセル方式の半導体集積回路装置に使用される基本セル、そしてこの基本セルを使用した半導体集積回路装置、配線方法、及び配線装置に関するものである。

## 【 0 0 0 2 】

## 【従来の技術】

従来より、基本セルをマトリクス状に配置して構成した機能回路ブロックを、配置するゲートアレイ方式やスタンダードセル方式等の半導体集積回路装置がある。図 1 2 に基本セル 1 0 0 の 1 例を示す。基本セル 1 0 0 に電源電圧 V D D 及び接地電位 V S S を供給するために、基本セル 1 0 0 内に電源電圧配線 V D D 及び接地電位配線 V S S である、いわゆるパワーレール V D D 、 V S S を備えている。また接続端子 2 、 3 は、 P M O S トランジスタの N 型ウェル領域、及び N M O S トランジスタの P 型ウェル領域の各々を、電源電圧 V D D 、 及び接地電位 V S S にバイアスするために配置されている。

## 【 0 0 0 3 】

パワーレール V D D 、 V S S 、 また接続端子 2 、 3 を基本セル 1 0 0 内に固定して設定しておけば、基本セル 1 0 0 をマトリクス状に配置した場合（図 1 3 、 1 4 、 参照）、パワーレール V D D 、 V S S 、 また接続端子 2 、 3 は所定の配線トラックに配置されることとなる。そこで予め、基本セル 1 0 0 内に、基本セル 1 0 0 列の延長方向（基本セル 1 0 0 の横方向）の配線トラック仕様に合致するように、基本セル 1 0 0 間の接続端子 2 、 3 を含んでパワーレール V D D 、 V S S を配置しておくことが一般的に行われている。これにより、機能回路ブロック 2 0 0 を構成するために基本セル 1 0 0 をマトリクス状に配置した時点で、パワーレール V D D 、 V S S も同時に行われる。図 1 4 に示すように、基本セル 1 0 0 を配置することにより、パワーレール V D D 、 V S S が、基本セル 1 0 0 列の延長方向（基本セル 1 0 0 の横方向）の配線トラックに沿って平行に配線されることとなる。そして、これらのパワーレール V D D 、 V S S は回路動作上重要な配線であるため、最下層のメタル配線層 M 1 で構成されることが一般的である。

## 【 0 0 0 4 】

## 【発明が解決しようとする課題】

しかしながら、上記従来技術の基本セル 1 0 0 においては、機能回路ブロックを構成するために基本セル 1 0 0 をマトリクス状に配置すると同時にパワーレール V D D 、 V S S の配線が完了するものの、パワーレール V D D 、 V S S の配線

方向、配線幅、及び配線層を最下層のメタル配線層M1から変更することができないという問題がある。

#### 【0005】

図13に、4つの基本セル100A、100B、100C、100Dを2×2のマトリクス状に配置して、図3に示す機能回路を機能回路ブロック200に構成した場合のレイアウト例を示す。図から明らかなようにパワーレールVDD、VSSは最下層のメタル配線層M1で構成され、基本セル100A乃至100D列の延長方向（基本セル100A乃至100Dの横方向）の配線トラックに沿って所定配線幅で配線される。従って、NOR1を構成する基本セル100Cからの出力、及びNOR2を構成する基本セル100Dからの出力と、これらの出力が入力されるNAND1を構成する基本セル100A、100Bの所定ゲートとの間には、最下層のメタル配線層M1で構成されたパワーレールVDD、VSSが配線されている。ゲートアレイ方式やスタンダードセル方式の半導体集積回路装置においては、機能回路ブロック間の配線に上位階層のメタル配線層を使用し、機能回路ブロック内の配線においては、信号配線は、パワーレールVDD、VSSと同様に最下層のメタル配線層M1で構成することが一般的である。このためNOR1とNAND1との接続にはVIA101A及び101Cを介して上層のメタル配線層M2により、またNOR2とNAND1との接続にはVIA101B及び101Dを介して上層のメタル配線層M2により、最下層のメタル配線層M1で構成されたパワーレールVDD、VSSをまたぐことが必要となる。機能回路ブロックが大きな回路構成になるに従いパワーレールVDD、VSSをまたぐ必要が多くなり、メタル配線の自由度を損なうと共にメタル配線構成が複雑になる。更に上層のメタル配線層M2での配線箇所が増大するので、上層のメタル配線層M2の配線領域を損なう。また、基本セル100に固定されたパワーレールVDD、VSSを有した状態で、同層の配線層を使用してその他の信号配線等も配線する場合には、必要配線トラックを増加させることが必要となり、基本セル100のセル高さを高くする必要がある。これは半導体集積回路の高集積化の妨げとなり問題である。

#### 【0006】

また、図 1 4 に示すように、パワーレール VDD、VSS の配線方向、配線幅、及び配線層が固定であるので、基本セル 1 0 0 (M、N) (M、N は、1 以上の整数) をマトリクス状に配置して構成される機能回路ブロック 3 0 0 の回路仕様に合致したパワーレール VDD、VSS の配線となるような配線変更はできない。即ち、高速な回路動作を行う機能回路ブロックや大きな負荷を駆動する機能回路ブロックに対して所望の回路動作を行なわせるために十分な電源供給能力を確保できない虞がある。また消費電流が少ない機能回路ブロックに対して必要以上の電源供給能力を有する配線ピッチとなり高集積化の妨げとなる虞がある。

## 【 0 0 0 7 】

更に図 1 4 において、基本セル 1 0 0 (M、N) におけるパワーレール VDD、VSS の配線方向、配線幅、及び配線層は固定であるので、この基本セル 1 0 0 (M、N) を配置した機能回路ブロック 3 0 0 においても固定される。この機能回路ブロック 3 0 0 を配置してゲートアレイ方式やスタンダードセル方式の半導体集積回路装置を構成する場合、機能回路ブロック 3 0 0 におけるパワーレール VDD、VSS の配線方向、配線幅、及び配線層は固定されてしまう。従って、機能回路ブロック 3 0 0 周辺のパワーレール VDD、VSS の配線状況に適合させて機能回路ブロック 3 0 0 を配置することができない場合があり、ゲートアレイ方式やスタンダードセル方式の半導体集積回路装置の高集積化を図ることができない虞があり問題である。

## 【 0 0 0 8 】

本発明は前記従来技術の問題点を解消するためになされたものであり、基本セルを利用して機能回路ブロックあるいは半導体集積回路装置をレイアウトする際、配線の自由度を向上させることのできる基本セル、半導体集積回路装置、配線方法、及び配線装置を提供することを目的とする。

## 【 0 0 0 9 】

## 【課題を解決するための手段】

前記目的を達成するために、請求項 1 に係る基本セルは、半導体集積回路装置のレイアウトにおける基本単位を構成する基本セルにおいて、基本セルは、基本セル間に共通に配線される固定配線を備えておらず、上位の配線層と接続される



べき接続端子を備えることを特徴とする。

また、請求項 2 に係る基本セルは、請求項 1 に記載の基本セルにおいて、上位の配線層で、基本セル間に配線されるべき配線を配線することを特徴とする。

#### 【 0 0 1 0 】

請求項 1 の基本セルでは、基本セル間に共通に配線される固定配線を基本セル内には備えておらず、上位の配線層で配線する際に、接続されるべき接続端子を備えている。

請求項 2 の基本セルでは、基本セル間に配線されるべき配線は、上位の配線層で配線される。

#### 【 0 0 1 1 】

これにより、基本セル間に共通に配線される固定配線による制約を受けず自在に配線を行うことができる。更に基本セルを配置して機能回路ブロックを構成する場合には、固定配線がないため、機能回路ブロック内の配線を自由に設定、変更することができ、固定配線とその他の信号配線とのレイアウト上の相互の干渉を回避することができる。即ち、上層の配線を使用して下層の配線をまたぐ配線構成を必要最低限に抑えることができ、配線の自由度を最大限に確保することができるので、配線構成を単純にすることができると共に、上層配線の配線領域を必要以上に損なうことがない。

また基本セル間に配線されるべき配線を基本セル内の配線とは別に上位の配線層で自由に設定できるので、両配線を同一の配線層により構成する場合に比して基本セルのセル高さを抑えたまま必要配線トラックを確保することができる。従って、効率的な配線構成とコンパクトな基本セル高さを実現して半導体集積回路装置の高集積化に寄与するところ大である。また機能回路ブロックの回路動作仕様に応じて自由に基本セル間に配線されるべき配線の配線方向、配線幅、及び配線層を設定することができるので、各回路動作仕様に適した配線により最適な回路動作を実現することができる。更に基本セルをマトリクス状に配置した機能回路ブロックを配置するゲートアレイ方式やスタンダードセル方式の半導体集積回路装置において、機能回路ブロックにおける配線状況に合わせて基本セル間に配線されるべき配線の配線方向、配線幅、及び配線層を自由に設定することができ

、効率的な機能回路ブロックの配置配線を実現して半導体集積回路装置の高集積化を図ることができる。

【 0 0 1 2 】

また、接続端子を 2 種以上備え、互いの接続端子は、他の接続端子に接続される基本セル間に配線されるべき配線の配線方向とは異なる位置に配置されることが好ましい。

【 0 0 1 3 】

この構成では、2 種以上の接続端子が、各々に接続される基本セル間に配線されるべき配線の配線方向とは異なる位置に配置されており、接続端子に接続される基本セル間に配線されるべき配線同士が干渉することはない。

【 0 0 1 4 】

これにより、基本セル間に配線されるべき配線同士が同一の配線層で構成されている場合でも、これらの配線が相互に交差することなく配線方向を設定することができる。

【 0 0 1 5 】

また、各接続端子は、X 座標及び Y 座標が共に異なる位置に配置され、個々の接続端子に接続される基本セル間に配線されるべき配線が、X あるいは Y 方向の相互に直交する 2 方向の何れかの方向に相互に交差することなく配線することができることが好ましい。

【 0 0 1 6 】

また、請求項 3 に係る基本セルは、請求項 1 又は 2 に記載の基本セルにおいて、接続端子は、基本セル間に配線されるべき配線と同じ配線層を含むスタック V I A を備えることを特徴とする。

【 0 0 1 7 】

請求項 3 の基本セルでは、接続端子は、スタック V I A を介して基本セル間に配線されるべき配線に接続される。

【 0 0 1 8 】

これにより、スタック V I A に含まれる配線層を基本セル間に配線されるべき配線の配線層として使用することができるので、基本セル間に配線されるべき配

線として選択できる配線層をスタック V I A に含まれる配線層の中から適宜に選択することができ、配線の自由度を高めることができる。

【 0 0 1 9 】

また、請求項 4 に係る基本セルは、請求項 1 乃至 3 の少なくとも何れか 1 項に記載の基本セルにおいて、基本セル間に配線されるべき配線は、電源配線及び接地配線を含み、接続端子は、基本セルへの電源供給端子及び接地電位供給端子を含むことを特徴とする。

【 0 0 2 0 】

請求項 4 の基本セルでは、基本セル間に配線されるべき配線は電源配線及び接地配線を含んでおり、更に接続端子は基本セルへの電源供給端子及び接地電位供給端子を含んでおり、基本セル間に配線されるべき配線を接続端子に接続することにより、基本セルに電源電圧及び接地電位を供給する。

【 0 0 2 1 】

これにより、基本セルへの電源電圧及び接地電位の供給配線を自由に設定することができ、機能回路ブロックの回路動作仕様に伴う消費電流に応じて電源電圧配線及び接地配線の配線方向、配線幅、及び配線層を自由に設定することができる。各回路動作仕様に伴う消費電流に適した電源供給及び接地供給により最適な回路動作を実現することができる。また基本セルをマトリクス状に配置した機能回路ブロックを配置するゲートアレイ方式やスタンダードセル方式の半導体集積回路装置において、機能回路ブロック間における配線状況に合わせて電源電圧配線及び接地配線の配線方向、配線幅、及び配線層を自由に設定することができ、効率的な機能回路ブロックの電源供給及び接地供給を実現して半導体集積回路装置の高集積化を図ることができる。

【 0 0 2 2 】

また、請求項 5 に係る半導体集積回路装置は、請求項 1 乃至 4 の少なくとも何れか 1 項に記載の 2 以上の基本セルと、適宜に選択される所定配線方向及び所定配線幅で、基本セル間の対応する接続端子間を上位の配線層で接続する上位配線とを備えることを特徴とする。また請求項 7 に係る配線方法は、請求項 1 乃至 4 の少なくとも何れか 1 項に記載の基本セルを 2 以上配置する半導体集積回路装置

に配線を施すに当たり、基本セル間の対応する接続端子間を上位の配線層で接続する上位配線の配線方向及び配線幅を適宜に選択して上位配線を優先して配線することを特徴とする。

【 0 0 2 3 】

請求項 5 の半導体集積回路装置では、請求項 1 乃至 4 の少なくとも何れか 1 項に記載の 2 以上の基本セルを配置して構成され、適宜に選択される所定配線方向及び所定配線幅で、基本セル間の対応する接続端子が接続されている。

【 0 0 2 4 】

これにより、上位配線による制約を受けず自在に配線を行なうことができる基本セル、及び上位配線が固定されていない基本セルを配置するため、自由に内部配線を設定、変更することができる機能回路ブロックにより、半導体集積回路装置を構成するので、上位配線とその他の信号配線との間の相互の干渉を回避することができる。そして上層の配線により下層の配線をまたぐ配線構成を必要最低限に抑えて、構成が単純で、自由度が大きく効率的な配線構成とし、上層の配線の配線領域を必要以上に損なうことがない。上位配線を基本セル内の配線とは別に上位の配線層で自由に設定できるので、両配線を同一の配線層により構成する場合に比して基本セルのセル高さを抑えたままで必要となる配線トラックを確保することができるコンパクトな基本セル高さを有した半導体集積回路装置を提供することができる。また機能回路ブロックの回路動作仕様に応じて自由に上位配線の配線方向、配線幅を設定することができるので、各回路動作仕様に適した上位配線により最適な回路動作を有した半導体集積回路装置を提供することができる。更に機能回路ブロック間の配置状況に合わせて上位配線の配線方向、配線幅を自由に設定することができ、効率的な機能回路ブロックの配置配線を実現して半導体集積回路装置の高集積化を図ることができる。

【 0 0 2 5 】

また上位配線の配線幅を基本セルの高さを越えて面状に形成してやれば、電源電圧あるいは接地電位の配線プレーンを半導体集積回路装置内の機能回路ブロックを覆うようにして形成することができ、ノイズ緩和策として好ましいものである。この場合、上位配線が 2 種以上ある場合には、上位配線毎に異なる配線層を

設定することにより、多重の面状構造を有する配線プレーンを形成することができる。

## 【 0 0 2 6 】

また、請求項 6 に係る半導体集積回路装置は、請求項 5 に記載の半導体集積回路装置において、上位配線は、配線経路中に存在する配線禁止領域に対して、適宜に迂回路を形成することを特徴とする。また請求項 8 に係る配線方法は、各上位配線の配線経路中に配線禁止領域が存在する場合、各上位配線の配線経路を適宜に屈曲させることにより、配線禁止領域を適宜に迂回することを特徴とする。

## 【 0 0 2 7 】

請求項 6 の半導体集積回路装置、また請求項 8 の配線方法では、上位配線の配線経路中に配線禁止領域がある場合には、上位配線は、適宜に迂回路を形成する。

## 【 0 0 2 8 】

これにより、上位配線の配線経路中にも、個別に配線禁止領域を設定することができ、この場合には、適宜に上位配線を迂回させることができるので、上位配線を自由に配線することができる。上位配線と配線禁止領域との間の相互の干渉を回避することができる。また、配線禁止領域の迂回部の前後においては、上位配線の配線トラックは不変であるので、隣接部との配線接続関係を崩すことなく必要最小限の上位配線の迂回路により配線禁止領域を迂回して柔軟に配線を施すことができる。

## 【 0 0 2 9 】

また、請求項 9 に係る配線装置は、請求項 7 又は 8 に記載の配線方法を実施するため、接続端子の配置位置を含む基本セル情報を格納するセル情報記憶手段と、基本セル間の対応する接続端子を接続する上位配線の配線方向、配線幅、配線優先順位、配線層、及び配線経路中の配線禁止領域を含む配線情報を、必要に応じて設定する配線情報設定手段と、配線情報設定手段により設定される各種配線情報を格納する配線情報記憶手段と、セル情報記憶手段に格納された接続端子の配置位置に基づき、配線情報記憶手段に格納された上位配線の配線方向、配線幅、配線優先順位、及び配線層に従い、配線経路中の配線禁止領域を迂回しながら

配線処理を行う制御手段と、制御手段により行われる配線処理状況を確認する確認手段と、制御手段により行われた配線処理結果を格納する配線データ格納手段とを備えることを特徴とする。

#### 【 0 0 3 0 】

請求項 9 の配線装置では、配線情報設定手段により設定された、基本セル間の対応する接続端子を接続する上位配線の配線方向、配線幅、配線優先順位、配線層、及び配線経路中の配線禁止領域を含む配線情報を、配線情報記憶手段に格納すると共に、セル情報記憶手段に格納されている接続端子の配置位置を含む基本セル情報と合わせ、制御手段により配線処理を行う。この配線処理状況は確認手段により確認され、配線処理結果は配線データ格納手段に格納される。

#### 【 0 0 3 1 】

これにより、2 以上の基本セルを配置した機能回路ブロックあるいは半導体集積回路装置に配線を施す際、上位配線の配線情報を設定、格納しながら、接続端子の配置位置を含む基本セル情報と共に、配線処理状況を確認しながら配線処理を行なうことができ、最適な配線処理を実現することができる。

#### 【 0 0 3 2 】

また、請求項 7 又は 8 に記載の配線方法を、請求項 9 に記載の配線装置において実行させることが可能な配線処理プログラムを格納した記録媒体によれば、配線処理プログラムの移動が容易となり好ましいものである。

#### 【 0 0 3 3 】

#### 【発明の実施の形態】

以下、本発明の基本セル、半導体集積回路装置、配線方法、及び配線装置について具体化した実施形態を図 1 乃至 1 1 に基づき図面を参照しつつ詳細に説明する。図 1 は、本実施形態の基本セルを示すレイアウト図である。図 2 は、本実施形態の基本セルを使用して構成した機能回路ブロックを示すレイアウト図である。図 3 は、図 2 における機能回路ブロックを示す回路図である。図 4 は、本実施形態の基本セルをマトリクス状に配置した場合におけるパワーレールの第 1 具体例を示すレイアウト図である。図 5 は、本実施形態の基本セルをマトリクス状に配置した場合におけるパワーレールの第 2 具体例を示すレイアウト図である。図

6は、本実施形態の基本セルをマトリクス状に配置した場合におけるパワーレールの第3具体例を示すレイアウト図である。図7は、本実施形態の基本セルをマトリクス状に配置した場合におけるパワーレールの第4具体例を示すレイアウト図である。図8は、本実施形態の基本セルをマトリクス状に配置した場合におけるパワーレールの第5具体例を示すレイアウト図である。図9は、本実施形態の機能回路ブロックを半導体集積回路装置に配置する場合のパワーレールの第6具体例を示すレイアウト図である。図10は、本実施形態における配線装置の構成図である。図11は、本実施形態の基本セルを使用した機能回路ブロックへの配線方法のフロー図である。

#### 【0034】

図1に示す本発明の実施形態の基本セル1は、従来技術における基本セル100（図12、参照）と同様に、1組のP型拡散領域4とN型拡散領域5を2本のポリシリコンゲート6、7が分割することにより、2本のポリシリコンゲート6、7で挟まれた領域を共通のソースあるいはドレイン領域として、2つのPMOSトランジスタ及びNMOSトランジスタを構成している。これらのPMOS及びNMOSトランジスタは、各々N型ウェル領域及びP型ウェル領域（不図示）内に構成されており、接続端子2、3は、N型及びP型ウェル領域への電源電圧VDD及び接地電位VSSを供給するための接続端子である。メタル配線層とN型及びP型ウェル領域とのコンタクト構造として構成することができるほか、基本セル1を実現する製造プロセスに応じて多層のメタル配線層とN型及びP型ウェル領域とのスタックVIA構造として構成することもできる。本実施形態では、これらの接続端子2、3、そして2つのPMOS及びNMOSトランジスタへの電源電圧VDD及び接地電位VSSの供給配線であるパワーレールVDD、VSSは配置されていない。

#### 【0035】

図2に、4つの基本セル1A、1B、1C、1Dを2×2のマトリクス状に配置して、図3に示す機能回路を実現した機能回路ブロック20のレイアウト例を示す。基本セル1A、1B、1C、1DにはパワーレールVDD、VSSが配置されていないので、機能回路ブロック20内のメタル配線を最下層のメタル配線

層M1の接続によりレイアウトする際、パワーレールVDD、VSSをまたぐという制約がなく最下層のメタル配線層M1のみで自由に接続することができる。具体的には、NOR1を構成する基本セル1Cからの出力、及びNOR2を構成する基本セル1Dからの出力と、これらの出力が入力されるNAND1を構成する基本セル1A、1Bの所定ゲートとの間に、最下層のメタル配線層M1で構成されたパワーレールVDD、VSSが存在しないので、この間のメタル配線を最下層のメタル配線層M1により直接に接続することができる。尚、NAND1を構成する基本セル1A、1BのNMOSトランジスタへの接地電位VSSの供給、及びNOR1、2を構成する基本セル1C、Dへの電源電圧VDDの供給は、スタックVIA構造を有する接続端子3A、2Dに、図示しない上層のメタル配線層を接続することにより行うことができる。

#### 【0036】

従って、基本セル1内のメタル配線を、基本セル間に配線されるべき配線であるパワーレールVDD、VSSによる制約を受けずに自在に行うことができる。更に4つの基本セル1A乃至1Dを配置して機能回路ブロック20を構成する場合には、パワーレールVDD、VSSが固定されていないため、機能回路ブロック20内のメタル配線を自由に設定、変更することができ、パワーレールVDD、VSSとその他の信号配線とのレイアウト上の相互の干渉を回避することができる。即ち、上層のメタル配線層M2を使用して最下層のメタル配線層M1をまたぐメタル配線構成を必要最低限に抑えることができ、メタル配線の自由度を最大限に確保することができるので、メタル配線構成を単純にすることができると共に、上層のメタル配線層M2の配線領域を必要以上に損なうことがない。またパワーレールVDD、VSS等を基本セル1内のメタル配線層とは別に上層のメタル配線層M2で自由に設定できるので、両配線を同一のメタル配線層により構成する場合に比して基本セル1のセル高さを抑えたまま必要配線トラックを確保することができる。従って、効率的な配線構成とコンパクトな基本セル1の高さを実現して半導体集積回路装置の高集積化に寄与するところ大である。また機能回路ブロック20の回路動作仕様に応じて自由にパワーレールの配線方向、配線幅、及び配線層を設定することができるので、各回路動作仕様に適したパワーレ



ールVDD、VSSにより最適な回路動作を実現することができる。

【0037】

またスタックVIAを構成するメタル配線層をパワーレールVDD、VSSのメタル配線層として使用することができるので、パワーレールVDD、VSSとして選択できるメタル配線層の階層をスタックVIAを構成する配線層の中から適宜に選択することができ、配線の自由度を高めることができる。

【0038】

図4には、基本セル1 (M、N) (M、Nは、1以上の整数) をM×Nのマトリクス状に配置した機能回路ブロック31におけるパワーレールVDD、VSSの配線状況を示す第1具体例である。機能回路ブロック31内のメタル配線を最下層のメタル配線層M1で構成しておき、基本セル1 (M、N) における接続端子2、3 (図1、参照) をスタックVIA構造として、上層のメタル配線層M2で構成したパワーレールVDD、VSSを接続すれば機能回路ブロック31内のメタル配線とパワーレールVDD、VSSとを相互に干渉することなく配置することができる。また機能回路ブロック31内のメタル配線のうちパワーレールVDD、VSSの配線方向と同一方向のメタル配線をパワーレールVDD、VSSのメタル配線層と同じメタル配線層とし、直交するメタル配線を異なるメタル配線層として構成することもできる。

【0039】

第1具体例のパワーレールVDD、VSSのメタル配線方式は、機能回路ブロック31の回路動作が比較的低速である等の理由により回路動作における消費電流が少なく、電源供給能力を強化する必要のない場合に適用して好適なパワーレールVDD、VSSの構成である。パワーレールVDD、VSSの配線方向を基本セル1 (M、N) の高さ方向とすることにより配線ピッチ大きくすることができ、限られた基本セル1の高さにおいてパワーレールVDD、VSS間の配線領域を広く確保することができるので、パワーレールVDD、VSSと同じメタル配線層による配線トラックを最大限確保することができる。効率的な配線構成とコンパクトな基本セル1 (M、N) の高さを実現して半導体集積回路装置の高集積化に寄与するところ大である。

## 【 0 0 4 0 】

図 5 は、図 4 と同様な基本セル 1 (M、N) の配置に対して、パワーレール VDD、VSS の配線方向を 90 度回転した場合を示す第 2 具体例である。機能回路ブロック 3 2 内のメタル配線を最下層のメタル配線層 M1 で構成しておき、基本セル 1 (M、N) における接続端子 2、3 (図 1、参照) をスタック V I A 構造として、上層のメタル配線層 M2 で構成したパワーレール VDD、VSS を接続すれば、機能回路ブロック 3 2 内のメタル配線とパワーレール VDD、VSS とを相互に干渉することなく配置することができる。また機能回路ブロック 3 2 内のメタル配線のうちパワーレール VDD、VSS の配線方向と同一方向のメタル配線をパワーレール VDD、VSS のメタル配線層と同じメタル配線層とし、直交するメタル配線を異なるメタル配線層として構成することもできる。

## 【 0 0 4 1 】

第 2 具体例のパワーレール VDD、VSS のメタル配線方式は、機能回路ブロック 3 2 の回路動作が高速である等の理由により回路動作における消費電流が大きく、電源供給能力を強化する必要がある場合に適用して好適なパワーレール VDD、VSS の構成である。パワーレール VDD、VSS の配線方向を基本セル 1 (M、N) の幅方向にすることにより配線ピッチを狭くすることができ、基本セル 1 (M、N) 当りの電源供給能力を向上させることができる。

## 【 0 0 4 2 】

第 1 及び第 2 具体例における基本セル 1 (M、N) では、パワーレール VDD、VSS を接続すべき接続端子 2、3 (図 1、参照) の X 座標及び Y 座標が共に異なる位置に配置されているので、基本セル 1 (M、N) をマトリクス状に配置した機能回路ブロック 3 1、3 2 へのパワーレール VDD、VSS の配線方向を、X 方向あるいは Y 方向の互い直交する 2 方向の何れの方にも相互に交差することなく配線することができる。

## 【 0 0 4 3 】

従って、基本セル 1 (M、N) へのパワーレール VDD、VSS を自由に設定することができ、機能回路ブロック 3 1、3 2 の回路動作仕様に伴う消費電流に応じてパワーレール VDD、VSS の配線方向、配線幅、及び配線層を自由に設

定することができる。各回路動作仕様に伴う消費電流に適した電源供給及び接地供給により最適な回路動作を実現することができる。

## 【 0 0 4 4 】

図 6 は、図 4 の第 1 具体例におけるパワーレール VDD、VSS の配線幅を太く強化した第 3 具体例である。機能回路ブロック 3 3 内のメタル配線を、図 4 における機能回路ブロック 3 1 内のメタル配線と同様に、最下層のメタル配線層 M1 で構成しておき、基本セル 1 (M、N) における接続端子 2、3 (図 1、参照) をスタック V I A 構造として、上層のメタル配線層 M2 で構成したパワーレール VDD、VSS を接続する。機能回路ブロック 3 3 内のメタル配線とパワーレール VDD、VSS とは相互に干渉することはないので、パワーレール VDD、VSS のメタル配線幅を任意に設定して、機能回路ブロック 3 3 の回路動作仕様に応じた消費電流に適合した電源供給能力にすることができる。尚、図 6 に示すように、パワーレール VDD、VSS を機能回路ブロック 3 3 を覆うように配置する場合、機能回路ブロック 3 3 内の信号配線領域を確保するためには、パワーレール VDD、VSS 用のメタル配線層を最上層のメタル配線層で行えば、両メタル配線間に干渉はなく好都合である。パワーレール VDD、VSS を上層のメタル配線層 M2 で行う場合には、機能回路ブロック 3 3 内のメタル配線を最下層のメタル配線層 M1 で行うが、パワーレール VDD、VSS のメタル配線を図示しない更に上層のメタル配線層で行えば、機能回路ブロック 3 3 内の配線を最上層を除く多層のメタル配線層で行うことができる。

## 【 0 0 4 5 】

図 7 に示す第 3 具体例は、パワーレール VDD、VSS を、各々異なるメタル配線層で面状に構成したものである。機能回路ブロック 3 4 内のメタル配線を、図 4 における機能回路ブロック 3 1 内のメタル配線と同様に、最下層のメタル配線層 M1 で構成しておき、更に基本セル 1 (M、N) における接続端子 2、3 (図 1、参照) をスタック V I A 構造としておく。パワーレール VDD、VSS のうち接地電位 VSS の供給には、上層のメタル配線層 M2 を面状に構成して接続端子 2 のスタック V I A 構造における上層のメタル配線層 M2 と接続する。この場合、接続端子 3 を構成するスタック V I A 構造の上層のメタル配線層 M2 とは

接続されないように、面状構造の上層のメタル配線層M2のうち接続端子3の位置している部分には開孔を設けておく。パワーレールVDD、VSSのうち電源電圧VDDの供給には、上層のメタル配線層M2より更に上層のメタル配線層M3を面状に構成して接続端子3のスタックVIA構造における更に上層のメタル配線層M3と接続する。機能回路ブロック34内のメタル配線とパワーレールVDD、VSSとは相互に干渉することはないので、機能回路ブロック34内の信号配線の制約を受けることなく機能回路ブロック34全面を覆うようにパワーレールVDD、VSSのメタル配線を面状に構成することができる。尚、メタル配線層が4層以上の多層構成の場合には、パワーレールVDD、VSS用のメタル配線層を最上層から2層のメタル配線層で行えば、機能回路ブロック34内の信号配線に供することができるメタル配線層の数を2層以上確保することができ信号配線の自由度を高めることができて好都合である。

#### 【0046】

従って、パワーレールVDD、VSSによる制約を受けず自在にメタル配線を行なうことができる基本セル1(M、N)、及びこの基本セル1(M、N)を配置して機能回路ブロック34を構成した場合に、パワーレールVDD、VSSが固定されていないため、自由に内部のメタル配線を設定、変更することができ、パワーレールVDD、VSSとその他の信号配線との間の相互の干渉を回避することができる。そしてパワーレールVDD、VSSを基本セル1(M、N)内の最下層のメタル配線層M1とは別に上層のメタル配線層M2、M3で面状に設定できるので、両メタル配線を同一のメタル配線層により構成する場合に比して基本セル1(M、N)のセル高さを抑えたままで必要となる配線トラックを確保することができるコンパクトな基本セル高さを有した半導体集積回路装置を提供することができる。またパワーレールVDD、VSSを基本セル1(M、N)の高さを越えて全体を覆うように面状に形成するので、パワーレールVDD、VSSの配線プレーンを形成することができ、ノイズ緩和策として好適な構成とすることができる。この場合、パワーレールVDD、VSS等が2種以上ある場合には、パワーレールVDD、VSS等毎に異なるメタル配線層を設定してやれば多重の面状構造を有する配線プレーンを形成することができる。

## 【 0 0 4 7 】

図 8 の第 5 具体例は、図 4 の第 1 具体例と同様に基本セル 1 (M、N) を  $M \times N$  のマトリクス状に配置した機能回路ブロック 3 5 におけるパワーレール VDD、VSS の配線状況を示す。図 4 の第 1 具体例と異なる部分は、基本セル 1 (1、3) と基本セル 1 (2、3) とを接続するメタル配線 L を、パワーレール VDD、VSS の配線に使用する上層のメタル配線層 M2 で構成した点である。このため、メタル配線 L とパワーレール VDD、VSS との干渉を避けるため、メタル配線 L 及びレイアウト上必要なメタル配線間の間隔を考慮したデザインルールにより、パワーレール VDD、VSS の配線禁止領域 Z が発生する。本来であれば、パワーレール VDD、VSS と直交するメタル配線 L は、パワーレール VDD、VSS の配線とは干渉しない最下層のメタル配線層 M1 により構成することが原則である。しかしながら、メタル配線 L の間に最下層のメタル配線層 M1 による配線があり、メタル配線 L を、上層のメタル配線層 M2 で構成してこの最下層のメタル配線層 M1 をまたぐ必要がある場合がある。第 5 具体例では、基本セル 1 (M、N) にパワーレール VDD、VSS が配置されていないことを利用して、機能回路ブロック 3 5 を構成した場合のメタル配線の状況から、メタル配線 L を最下層のメタル配線層 M1 で構成できない場合には、上層のメタル配線 M2 でも構成することができることを示している。この場合には、機能回路ブロック 3 5 内において配線禁止領域 Z を迂回してパワーレール VDD、VSS を配線することができる。そしてこの迂回経路は機能回路ブロック 3 5 内に限定されるので、機能回路ブロック 3 5 の端部におけるパワーレール VDD、VSS の配線トラックに影響を与えることもなく、隣接する機能回路ブロックとの配線接続関係を崩すことなく、基本セル間に配線されるべき配線を必要最小限の迂回により柔軟に配線を施すことができる。

## 【 0 0 4 8 】

従って、パワーレール VDD、VSS の配線経路中にも、個別に配線禁止領域 Z を設定することができ、この場合には、適宜にパワーレール VDD、VSS を迂回させることができるので、パワーレール VDD、VSS を自由に配線することができる。パワーレール VDD、VSS と配線禁止領域 Z との間の相互の干渉

を回避することができる。また、配線禁止領域Zを迂回する前後においては、パワーレールVDD、VSSの配線トラックは不変であるので、半導体集積回路装置において隣接する機能回路ブロックとの配線接続関係を崩すことなく必要最小限のパワーレールVDD、VSSの迂回により配線禁止領域Zを迂回して柔軟にメタル配線を施すことができる。

## 【 0 0 4 9 】

図9の第6具体例は、機能回路ブロック36をマクロセルとしてゲートアレイ方式やスタンダードセル方式の半導体集積回路装置50A、50Bに配置する場合を示す。半導体集積回路装置50A、50BにおけるパワーレールVDD、VSSの配線方向は、半導体集積回路装置50A、50Bのレイアウト状況、あるいはデザインルール等の仕様により個別に異なることが一般的である。また、機能回路ブロック36を配置する位置によってもパワーレールVDD、VSSの配線方向は異なるものである。第6実施形態では、機能回路ブロック36を配置する位置におけるパワーレールVDD、VSSの配線方向が、半導体集積回路装置50Aの場合X方向（横方向）であるが、半導体集積回路装置50BではY方向（縦方向）となる。そこで機能回路ブロック36を、パワーレールVDD、VSSが配置されていない基本セル1により構成してやれば、機能回路ブロック36を半導体集積回路装置50A、50Bに配置する際、半導体集積回路装置50A、50BにおけるパワーレールVDD、VSSの配線状況に応じて、適宜に機能回路ブロック36のパワーレールVDD、VSS配線方向を変更することができる。また、機能確認の完了した機能回路ブロック36を予めマクロセルライブラリ、即ちIP（Intellectual Property）として所有している場合、パワーレールVDD、VSSを機能回路ブロック36内の信号配線に影響を受けない上層のメタル配線にて構成するようにしてやることにより、半導体集積回路装置50A、50BにおけるパワーレールVDD、VSSの配線状況に応じて、適宜に機能回路ブロック36のパワーレールVDD、VSS配線方向を変更することができる。

## 【 0 0 5 0 】

従って、機能回路ブロック 3 6 を配置するゲートアレイ方式やスタンダードセル方式の半導体集積回路装置 5 0 A、5 0 B において、機能回路ブロック 3 6 A、3 6 B 間の配置位置に合わせてパワーレール VDD、VSS の配線方向、配線幅、及び配線層を自由に設定することができ、効率的な機能回路ブロック 3 6 A、3 6 B の配置配線を実現して半導体集積回路装置 5 0 A、5 0 B の高集積化を図ることができる。

#### 【 0 0 5 1 】

図 1 0 における配線装置 4 1 は、中央処理装置（以下、CPU と略記する。）4 2 を中心にバス 4 8 を介して、メモリ 4 3、磁気ディスク装置 4 4、表示装置（以下、CRT と略記する。）4 5、キーボード 4 6、及び外部記録媒体駆動装置 4 7 が相互に接続されており、更に外部記録媒体駆動装置 4 7 に CDROM や磁気媒体等の外部記録媒体 4 9 が着脱可能に設置される構成である。

#### 【 0 0 5 2 】

後述の図 1 1 に示す本実施形態の基本セル 1 を使用した機能回路ブロックへの配線方法のフローを実行するプログラムは、配線装置 4 1 内のメモリ 4 3 や磁気ディスク装置 4 4 等に記録されている他、CDROM や磁気媒体等の外部記録媒体 4 9 に記録されている場合には外部記録媒体駆動装置 4 7 を介してメモリ 4 3、磁気ディスク装置 4 4 等に記録され、あるいは直接 CPU 4 2 に転送される。またこのとき、パワーレール VDD、VSS 等の配線方向、配線幅、配線優先順位、配線層、及び配線経路中の配線禁止領域 Z を含む配線情報を、必要に応じて設定する配線情報設定手段は、キーボード 4 6 により設定され、または CDROM や磁気媒体等の外部記録媒体 4 9 等により設定され構成される。また設定された各種配線情報は、メモリ 4 3 や磁気ディスク装置 4 4 等の配線情報記憶手段に格納される。また、メモリ 4 3 や磁気ディスク装置 4 4 等の配線情報記憶手段には、基本セル 1 の接続端子の配置位置も格納される。上記プログラムの処理に従って制御手段としての CPU 4 2 等からの指令により必要に応じてこれらの情報が参照されて配線処理が行なわれる。そして処理中の配線処理状況を CRT 4 5 等の確認手段により確認しながら配線処理を進め、配線処理結果は、メモリ 4 3 や磁気ディスク装置 4 4、あるいは外部記録媒体駆動装置 4 7 を介して CDROM

M、磁気媒体等の外部記録媒体 4 9 等に配線データ格納手段に格納される。

【 0 0 5 3 】

図 1 1 のフロー図は、本実施形態の基本セル 1 を使用した機能回路ブロックにメタル配線を施す場合の配線方法を示している。ステップ（以下、S と略記する。）1 において、キーボードあるいは磁気ディスク 4 4、外部記録装置 4 9 等によりパワーレール VDD、VSS の配線を優先する設定がされる場合には（S 1 : YES）、更にパワーレール配線の配線方向、配線幅、及び使用するメタル配線層を設定する（S 2）。そして機能回路ブロック中に配線禁止領域が存在するか否かの判断を行う（S 3）。存在すると判断される場合には（S 3 : YES）、その配線禁止領域を迂回する迂回経路を決定する（S 4）。迂回経路が決定され、あるいは配線禁止領域が存在しないと判断された後（S 3 : NO）、パワーレール VDD、VSS の配線を実施する（S 5）。配線終了後、信号配線等のパワーレール VDD、VSS 以外のメタル配線を実行すべく設定されていれば（S 6 : YES）、自動配線処理のルーチンへ移行し自動配線を行う（S 8）。自動配線の終了、あるいはその他の信号配線を行う必要がなければ（S 6 : NO）配線処理を終了する。一方、S 1 において、パワーレール VDD、VSS の配線を優先しない旨の設定がされている場合には（S 1 : NO）、パワーレール VDD、VSS をその他の信号配線と同様に自動配線処理を行うメタル配線として設定した上で（S 7）、自動配線処理のルーチンへ移行し自動配線を行う（S 8）。自動配線の終了により配線処理は終了する。尚、S 8 に示す自動配線処理は、公知の自動配線プログラムを使用することができる。

【 0 0 5 4 】

従って、パワーレール VDD、VSS による制約を受けず自在にメタル配線を行なうことができる基本セル 1、及び基本セル 1 にパワーレール VDD、VSS が固定されていないため、基本セル 1 を配置した機能回路ブロックにおいて、相互の干渉なく自由に配線を設定、変更することができる配線方法を、図 1 0 の配線装置において実行することができる。更に機能回路ブロック間の配置状況に合わせてパワーレール VDD、VSS の配線方向、配線幅、及び配線層を自由に設定することができ、効率的な機能回路ブロックの配置配線を実現して半導体集積



回路装置の高集積化を図ることができる。また基本セル1をマトリクス状に構成した機能回路ブロックを配置するゲートアレイ方式やスタンダードセル方式の半導体集積回路装置において、機能回路ブロック間の配置状況に合わせてパワーレールVDD、VSSの配線方向、配線幅、及び配線層を自由に設定することができる配線方法を、図10の配線装置において実行することができる。

## 【0055】

尚、本発明は前記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良、変形が可能であることは言うまでもない。

例えば、本実施形態の第1乃至第3具体例においては、機能回路ブロック内の電源電圧配線VDD及び接地電位配線VSSを最下層のメタル配線層M1により構成しておき、パワーレールVDD、VSSを上層のメタル配線M2により構成する場合を例に説明をしたが、これに限定されるものではなく、機能回路ブロック内の電源電圧配線VDD及び接地電位配線VSSを上層のメタル配線により構成することもできる。またパワーレールVDD、VSSについては、上層のメタル配線M2より更に上層のメタル配線により構成することもできる。そしてこの時の接続端子2、3を、スタックVIAにより構成することとすれば、各層のメタル配線層と接続することができる。

## 【0056】

また、第5具体例においては、上層のメタル配線層M2において、パワーレールVDD、VSSが配線禁止領域Zを迂回する場合を例に説明したが、これに限定されるものではなく、パワーレールVDD、VSSを構成するメタル配線層であれば、他の階層のメタル配線層においても同様に迂回路を形成することができることは言うまでもない。

## 【0057】

また、配線方法のフロー図においては、パワーレールVDD、VSSのメタル配線を優先する場合、優先せずその他の信号配線と同様に扱い自動配線処理を行う場合、またパワーレールVDD、VSSのメタル配線を優先する際、配線禁止領域を迂回する場合、更にその他の信号配線については配線処理を行わずパワーレールVDD、VSSのメタル配線についてのみ、配線処理を行う場合のそれぞ

れについて適宜処理フローが分岐されるフロー図を例に説明したが、これに限定されるものではなく、各々の処理を単独で、あるいは任意の組み合わせで配線方法の処理フローを実行するようにしても良い。

【 0 0 5 8 】

また、本実施形態においては、メタル配線についての例を説明をしたが、これに限定されるものではなく、メタル配線に代えて、多結晶シリコンやシリサイド等のその他の配線材料で配線する場合、また多結晶シリコンやシリサイド等とメタル配線との任意の組み合わせにより配線する場合等にも同様に適用することができる。

【 0 0 5 9 】

(付記 1) 半導体集積回路装置のレイアウトにおける基本単位を構成する基本セルにおいて、

前記基本セルは、前記基本セル間に共通に配線される固定配線を備えておらず、上位の配線層と接続されるべき接続端子を備えることを特徴とする基本セル。

(付記 2) 前記上位の配線層で、前記基本セル間に配線されるべき配線を配線することを特徴とする請求項 1 に記載の基本セル。

(付記 3) 前記接続端子を 2 種以上備え、

前記各接続端子に接続される前記基本セル間に配線されるべき配線の配線方向は、

互いに直交する第 1 及び第 2 配線方向を含む異なる配線方向であることを特徴とする付記 1 又は 2 に記載の基本セル。

(付記 4) 前記接続端子は、

前記基本セル間に配線されるべき配線と同じ配線層を備えることを特徴とする付記 1 乃至 3 の少なくとも何れか 1 項に記載の基本セル。

(付記 5) 前記接続端子は、

前記基本セル間に配線されるべき配線と同じ配線層を含むスタック V I A を備えることを特徴とする付記 1 乃至 3 の少なくとも何れか 1 項に記載の基本セル。

(付記 6) 前記基本セル間に配線されるべき配線は、

前記基本セル、前記基本セルを 2 以上備えて特定の回路機能を奏するブロック

セル、及び前記ブロックセルを 2 以上備えるマクロセルを相互に結線する配線であることを特徴とする付記 1 乃至 5 の少なくとも何れか 1 項に記載の基本セル。

(付記 7) 前記基本セル間に配線されるべき配線は、

電源配線及び接地配線を含み、

前記接続端子は、

前記基本セルへの電源供給端子及び接地電位供給端子を含むことを特徴とする付記 1 乃至 6 の少なくとも何れか 1 項に記載の基本セル。

(付記 8) 付記 1 乃至 7 の少なくとも何れか 1 項に記載の 2 以上の基本セルと、適宜に選択される所定配線方向及び所定配線幅で、前記基本セル間の対応する前記接続端子間を前記上位の配線層で接続する上位配線とを備えることを特徴とする半導体集積回路装置。

(付記 9) 前記上位配線は、

前記所定配線幅が、前記基本セルを越えて面状に形成されることを特徴とする付記 8 に記載の半導体集積回路装置。

(付記 10) 前記上位配線は、

他の配線、あるいは前記他の上位配線に対して、別階層の配線層で形成されることを特徴とする付記 8 に記載の半導体集積回路装置。

(付記 11) 前記上位配線は、

配線経路中に存在する配線禁止領域に対して、適宜に迂回路を形成することを特徴とする付記 8 に記載の半導体集積回路装置。

(付記 12) 付記 1 乃至 7 の少なくとも何れか 1 項に記載の基本セルを 2 以上配置する半導体集積回路装置に配線を施すに当たり、前記基本セル間の対応する前記接続端子間を前記上位の配線層で接続する上位配線の配線方向及び配線幅を適宜に選択した上で、前記上位配線を優先して配線することを特徴とする配線方法。

(付記 13) 前記上位配線の配線幅を、前記基本セルを越えて面状に形成することを特徴とする付記 12 に記載の配線方法。

(付記 14) 他の配線、あるいは他の前記上位配線に対して、前記上位配線を別階層の配線層で形成することを特徴とする付記 12 に記載の配線方法。

(付記 1 5) 前記各上位配線の配線経路中に配線禁止領域が存在する場合、前記各上位配線の配線経路を適宜に屈曲させることにより、前記配線禁止領域を適宜に迂回することを特徴とする付記 1 2 に記載の配線方法。

(付記 1 6) 付記 1 乃至 7 の少なくとも何れか 1 項に記載の基本セルを 2 以上配置した半導体集積回路装置に配線を施すに当たり、上位配線を、他の配線と共に自動配線処理により配線することを特徴とする配線方法。

(付記 1 7) 付記 1 2 乃至 1 6 の少なくとも何れか 1 項に記載の配線方法を実施するため、

前記接続端子の配置位置を含む基本セル情報を格納するセル情報記憶手段と、  
前記基本セル間の対応する前記接続端子を接続する前記上位配線の配線方向、配線幅、配線優先順位、配線層、及び配線経路中の配線禁止領域を含む配線情報を、必要に応じて設定する配線情報設定手段と、

前記配線情報設定手段により設定される各種配線情報を格納する配線情報記憶手段と、

前記セル情報記憶手段に格納された前記接続端子の配置位置に基づき、前記配線情報記憶手段に格納された前記上位配線の配線方向、配線幅、配線優先順位、及び配線層に従い、配線経路中の配線禁止領域を迂回しながら配線処理を行う制御手段と、

前記制御手段により行われる配線処理状況を確認する確認手段と、

前記制御手段により行われた配線処理結果を格納する配線データ格納手段とを備えることを特徴とする配線装置。

(付記 1 8) 前記配線情報設定手段には、前記上位配線の配線優先順位は格納されず、

前記制御手段は、前記上位配線を他の配線と共に自動配線処理により配線処理することを特徴とする付記 1 7 に記載の配線装置。

(付記 1 9) 付記 1 2 乃至 1 6 の少なくとも何れか 1 項に記載の配線方法を、付記 1 7 あるいは 1 8 に記載の配線装置において実行することが可能な配線処理プログラムを格納する記録媒体。

【 0 0 6 0 】

【発明の効果】

本発明によれば、基本セル内には固定配線を備えず、基本セル間に配線されるべき配線に接続する接続端子を配置しておき、2以上の基本セルを配置して機能回路ブロックあるいは半導体集積回路装置をレイアウトする際、基本セル間に配線されるべき配線の配線自由度を向上させることのできる基本セル、半導体集積回路装置、配線方法、及び配線装置を提供することが可能となる。

【図面の簡単な説明】

【図 1】

本実施形態の基本セルを示すレイアウト図である。

【図 2】

本実施形態の基本セルを使用して構成した機能回路ブロックを示すレイアウト図である。

【図 3】

図 2 における機能回路ブロックを示す回路図である。

【図 4】

本実施形態の基本セルをマトリクス状に配置した場合におけるパワーレールの第 1 具体例を示すレイアウト図である。

【図 5】

本実施形態の基本セルをマトリクス状に配置した場合におけるパワーレールの第 2 具体例を示すレイアウト図である。

【図 6】

本実施形態の基本セルをマトリクス状に配置した場合におけるパワーレールの第 3 具体例を示すレイアウト図である。

【図 7】

本実施形態の基本セルをマトリクス状に配置した場合におけるパワーレールの第 4 具体例を示すレイアウト図である。

【図 8】

本実施形態の基本セルをマトリクス状に配置した場合におけるパワーレールの第 5 具体例を示すレイアウト図である。

【図 9】

本実施形態の機能回路ブロックを半導体集積回路装置に配置する場合のパワーレールの第 6 具体例を示すレイアウト図である。

【図 1 0】

本実施形態における配線装置の構成図である。

【図 1 1】

本実施形態の基本セルを使用した機能回路ブロックへの配線方法のフロー図である。

【図 1 2】

従来技術の基本セルを示すレイアウト図である。

【図 1 3】

従来技術の基本セルを使用して構成した機能回路ブロックを示すレイアウト図である。

【図 1 4】

従来技術の基本セルをマトリクス状に配置した場合におけるパワーレールの具体例を示すレイアウト図である。

【符号の説明】

1、1 A、1 B、1 C、1 D

基本セル

2、2 A、2 B、2 C、2 D、3、3 A、3 B、3 C、3 D

接続端子

2 0、3 1、3 2、3 3、3 4、3 5、3 6、3 6 A、3 6 B

機能回路ブロック

4 1 配線装置

4 2 C P U

4 3 メモリ

4 4 磁気ディスク

4 5 C R T

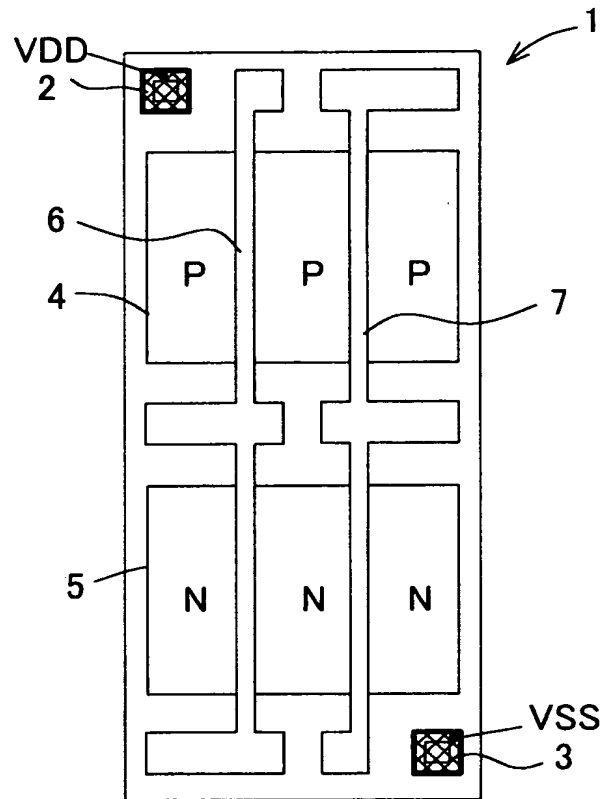
4 6 キーボード


4 7	外部記録媒体駆動装置
4 8	バス
4 9	外部記録媒体
5 0 A、5 0 B	半導体集積回路装置
M 1	最下層のメタル配線層
M 2、M 3	上層のメタル配線層
Z	配線禁止領域


【書類名】 図面

【図 1】

本発明実施形態の基本セル



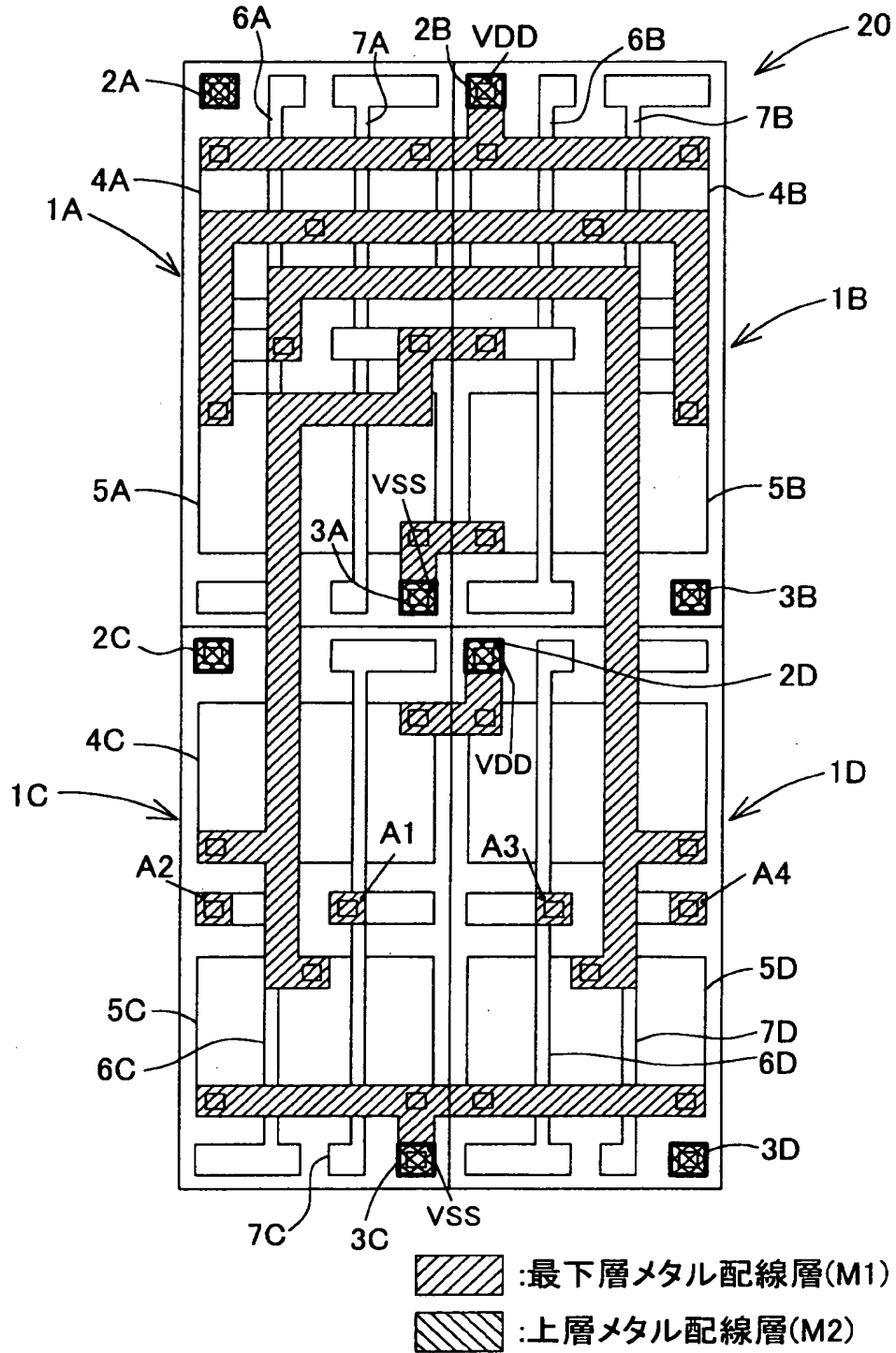
 :最下層メタル配線層(M1)

 :上層メタル配線層(M2)



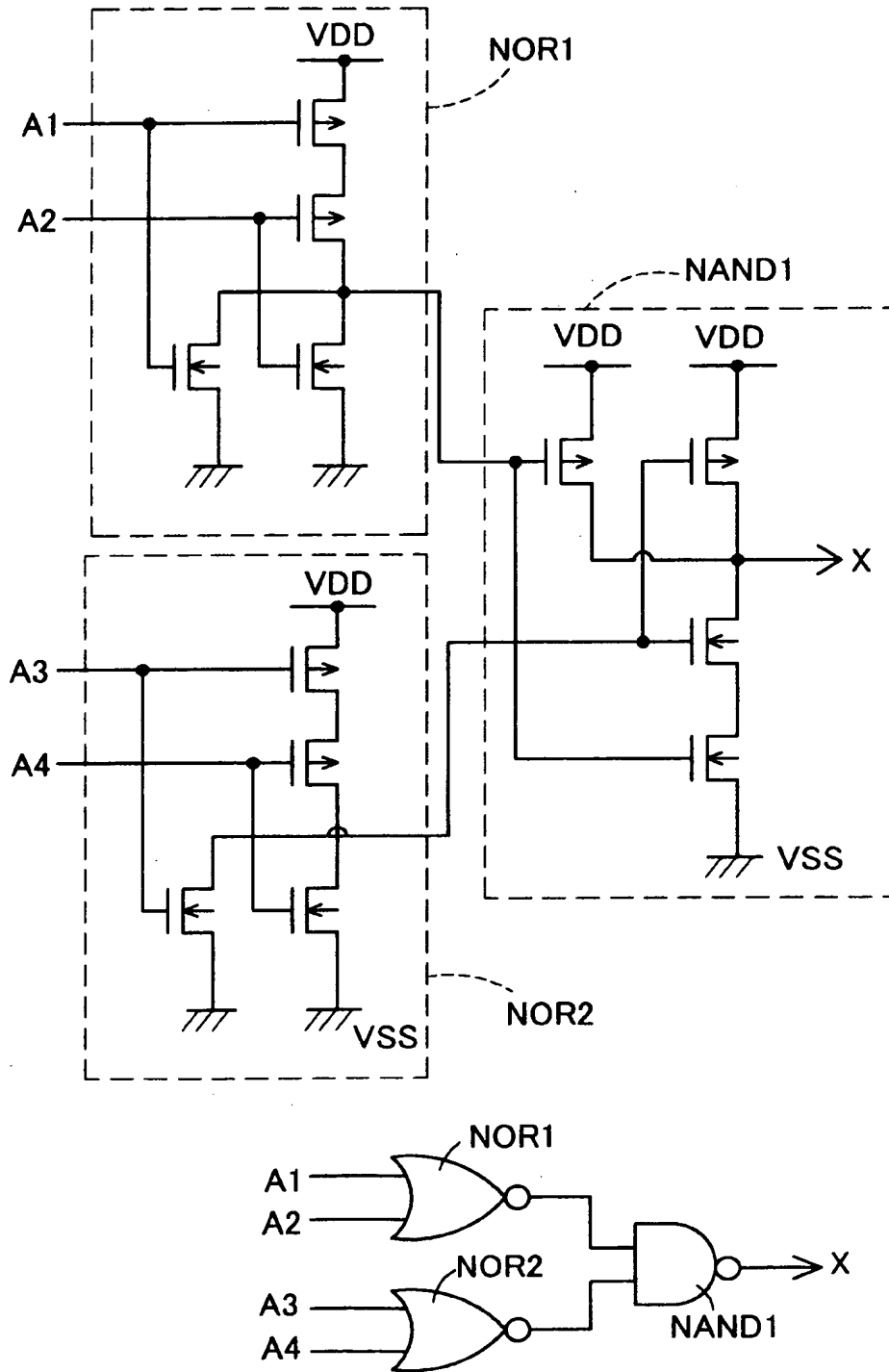
【図 2】

本実施形態の基本セルを使用して構成した機能回路ブロック



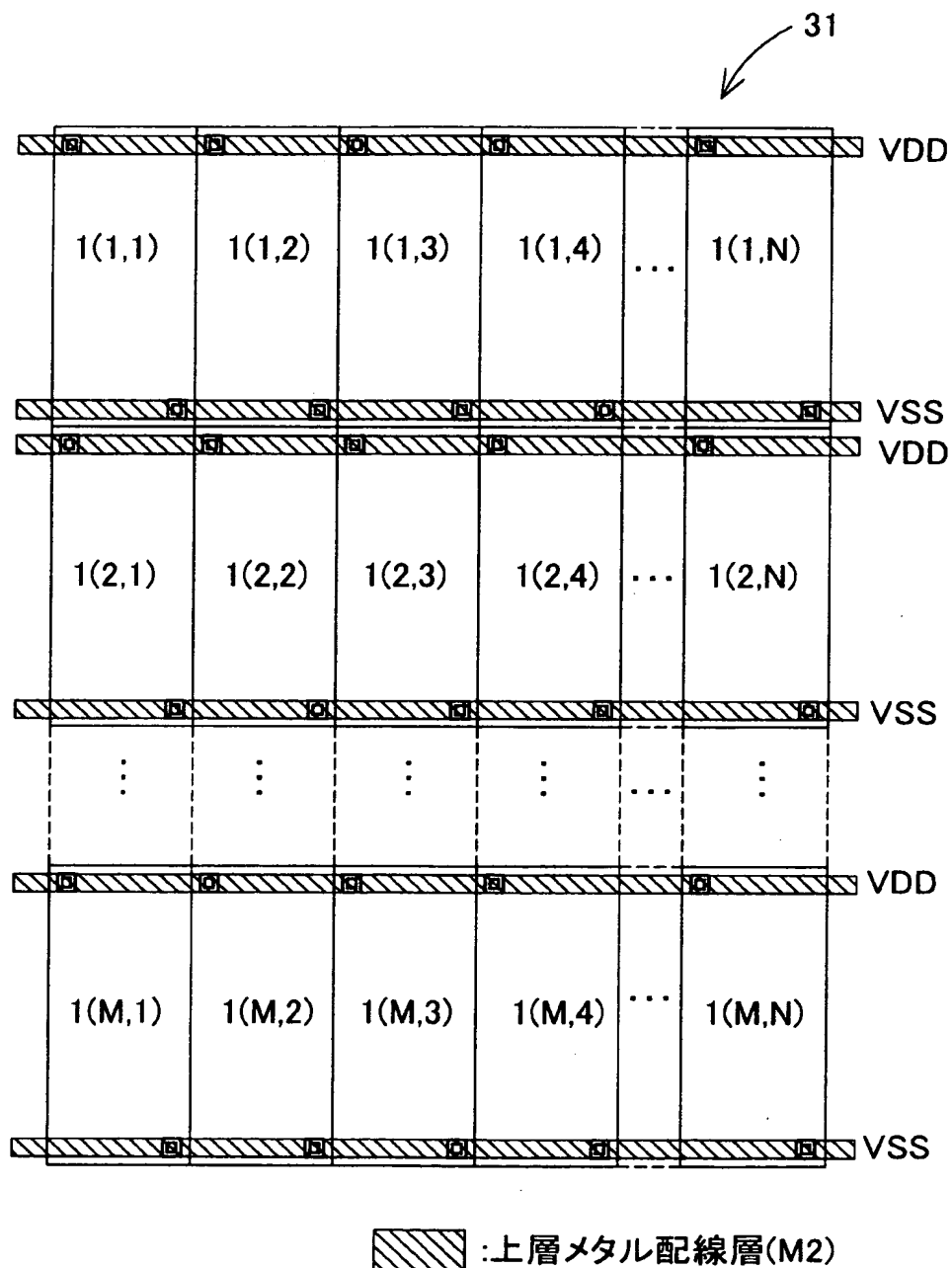
【図 3】

図2における機能回路ブロックの回路図



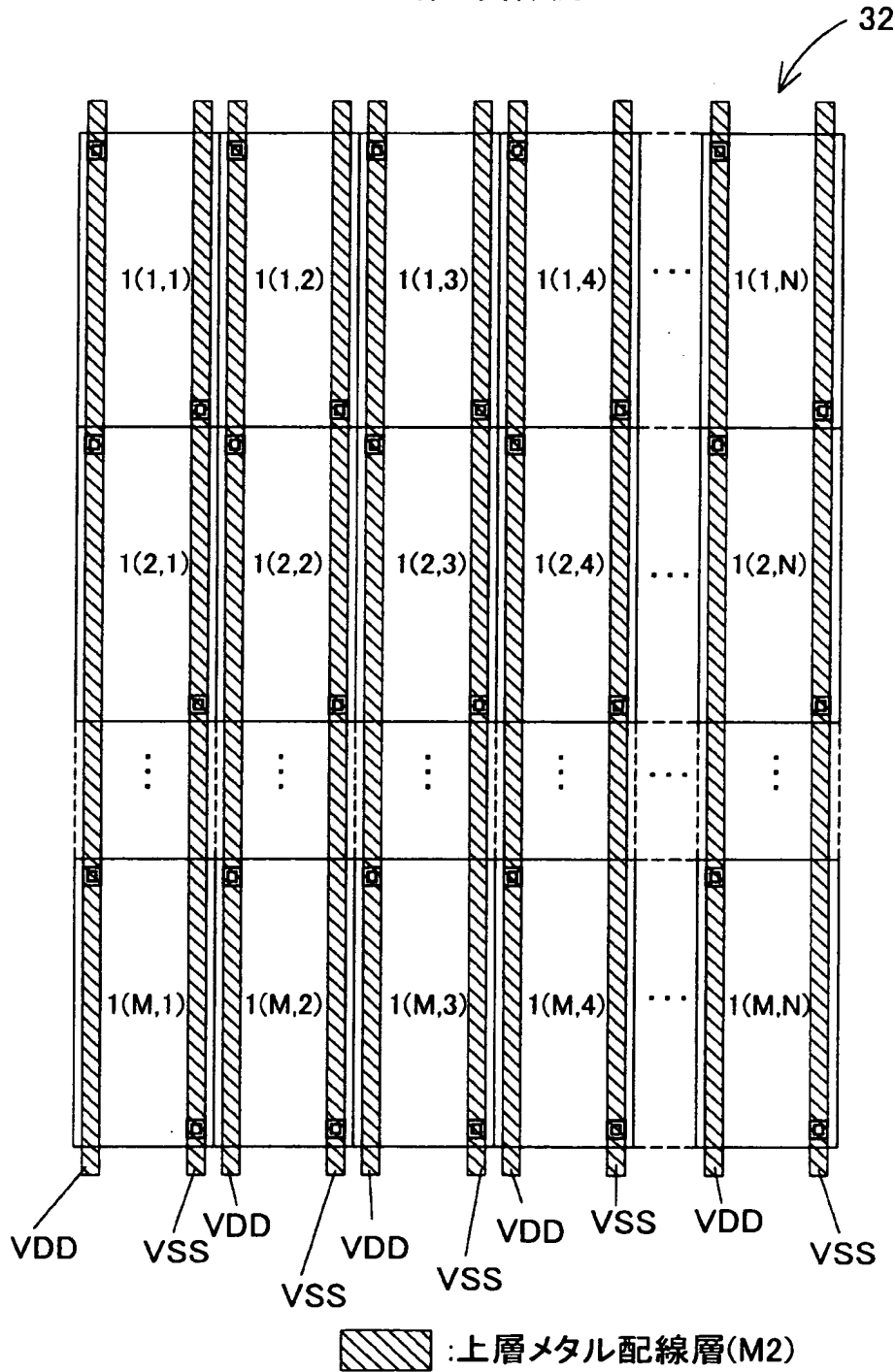
【図 4】

本実施形態の基本セルをマトリクス状に配置した場合における  
パワーレールの第1具体例



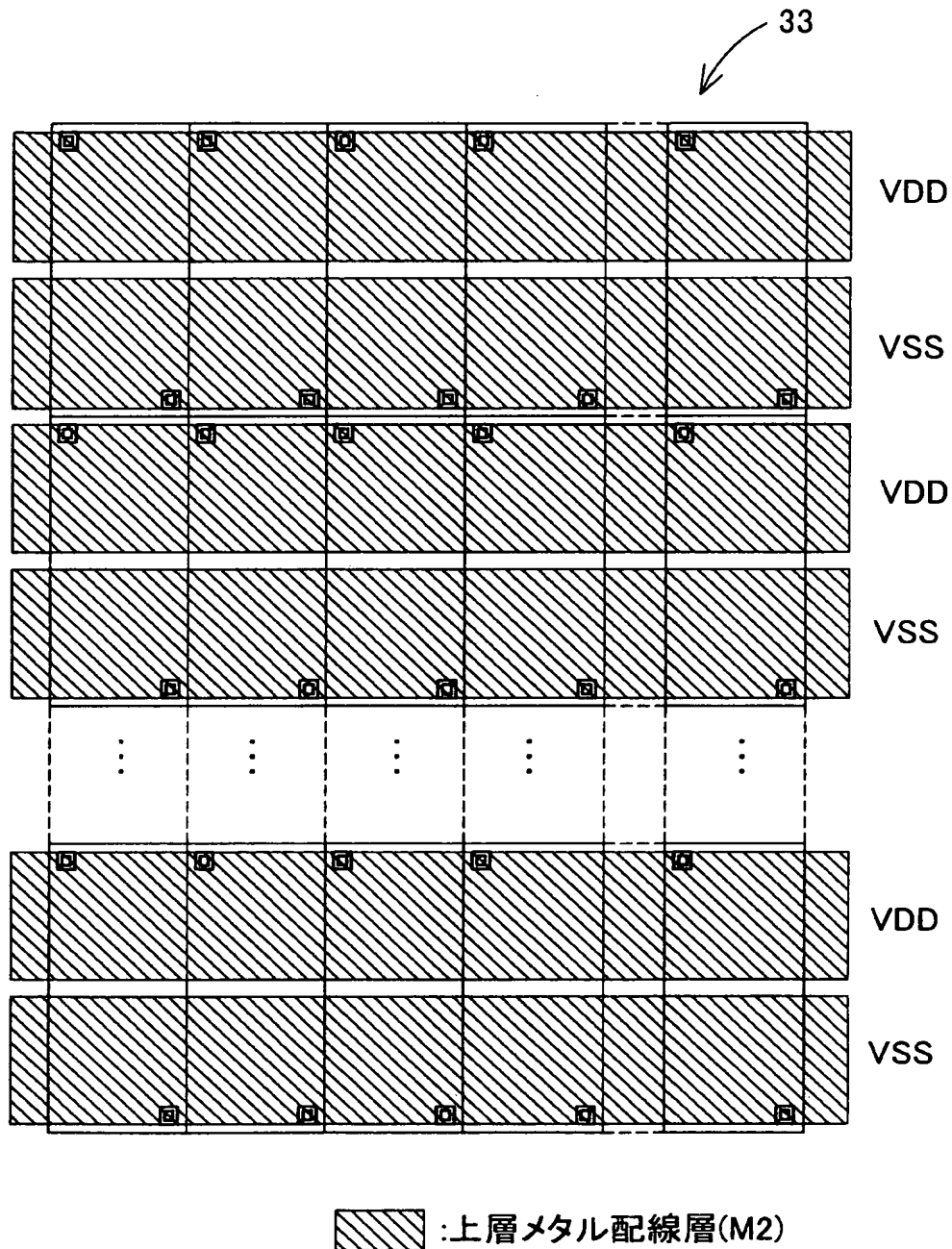
【図 5】

本実施形態の基本セルをマトリクス状に配置した場合  
におけるパワーレールの第2具体例



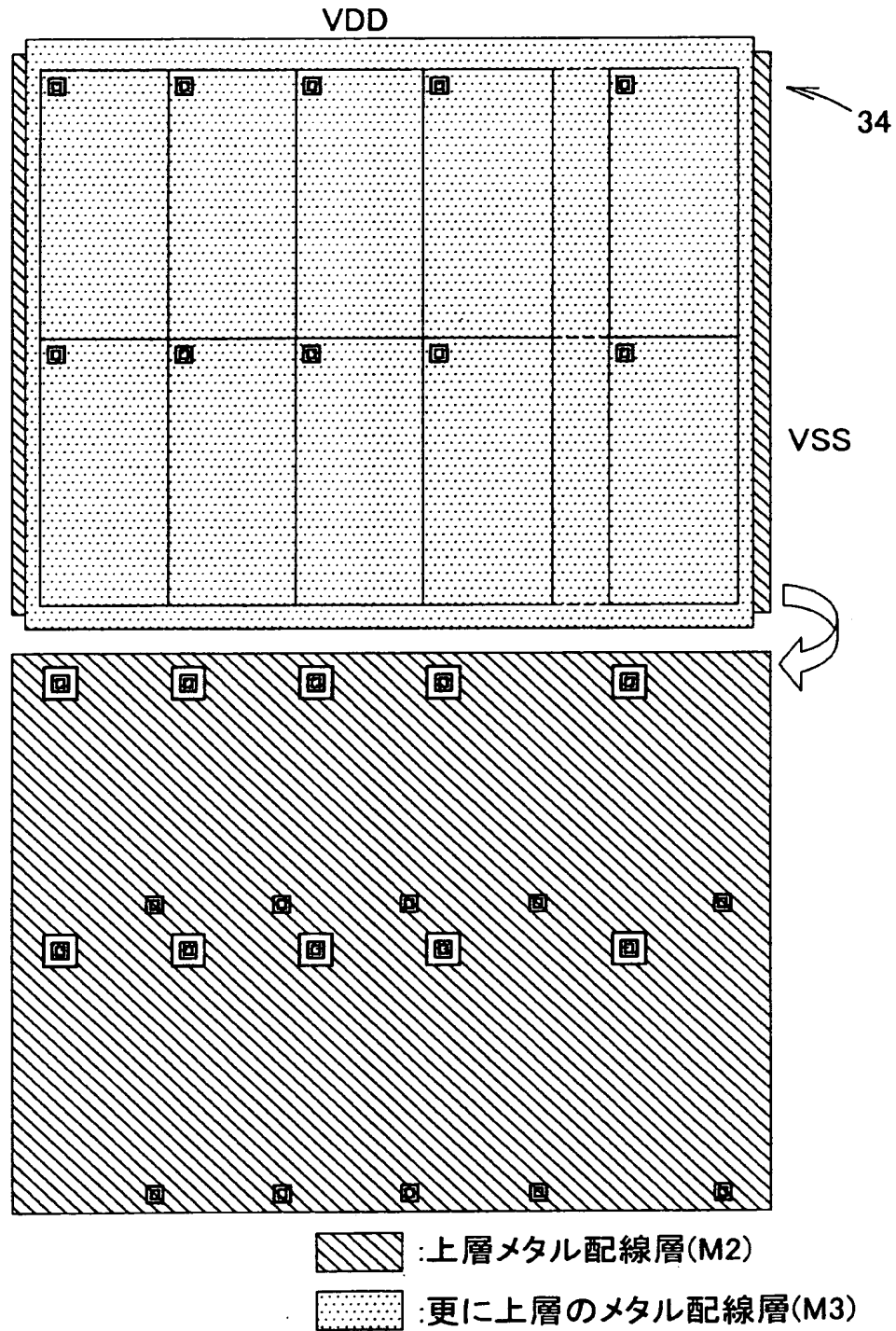
【図 6】

本実施形態の基本セルをマトリクス状に配置した場合  
におけるパワーレールの第3具体例



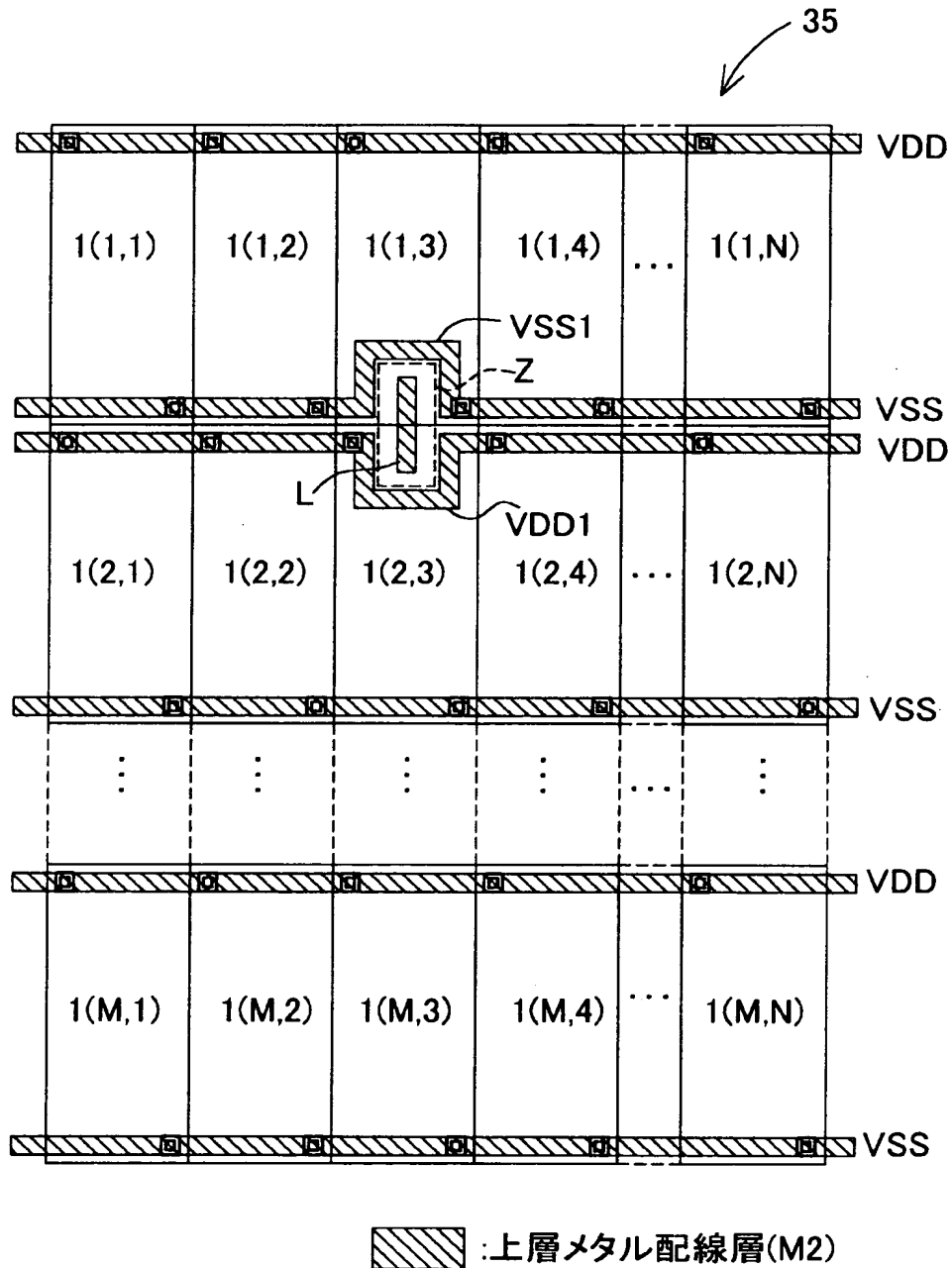
【図 7】

本実施形態の基本セルをマトリクス状に配置した場合  
におけるパワーレールの第4具体例



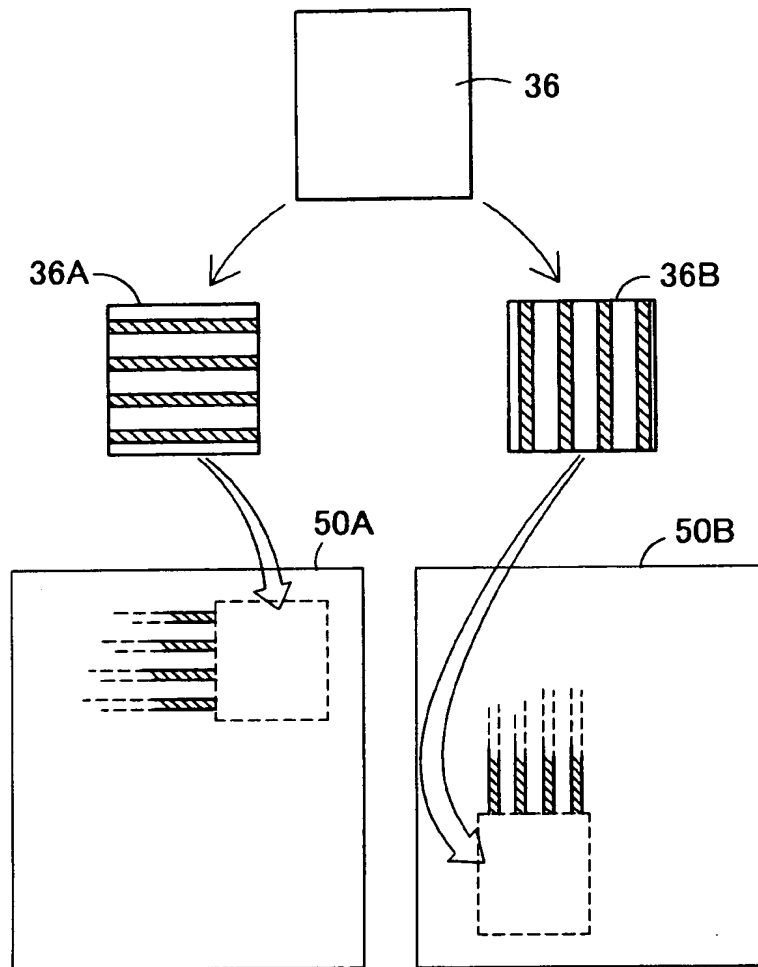
【図 8】

本実施形態の基本セルをマトリクス状に配置した場合における  
パワーレールの第5具体例



【図 9】

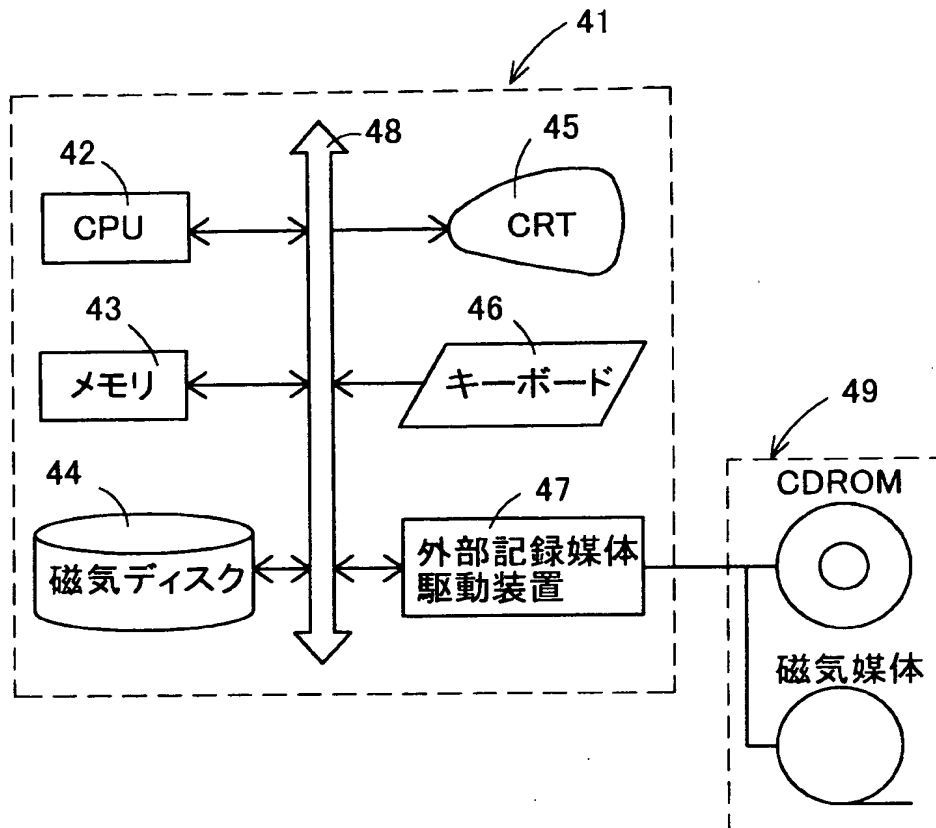
本実施形態の機能回路ブロックを半導体集積回路装置に  
配置する場合のパワーレールの第6具体例





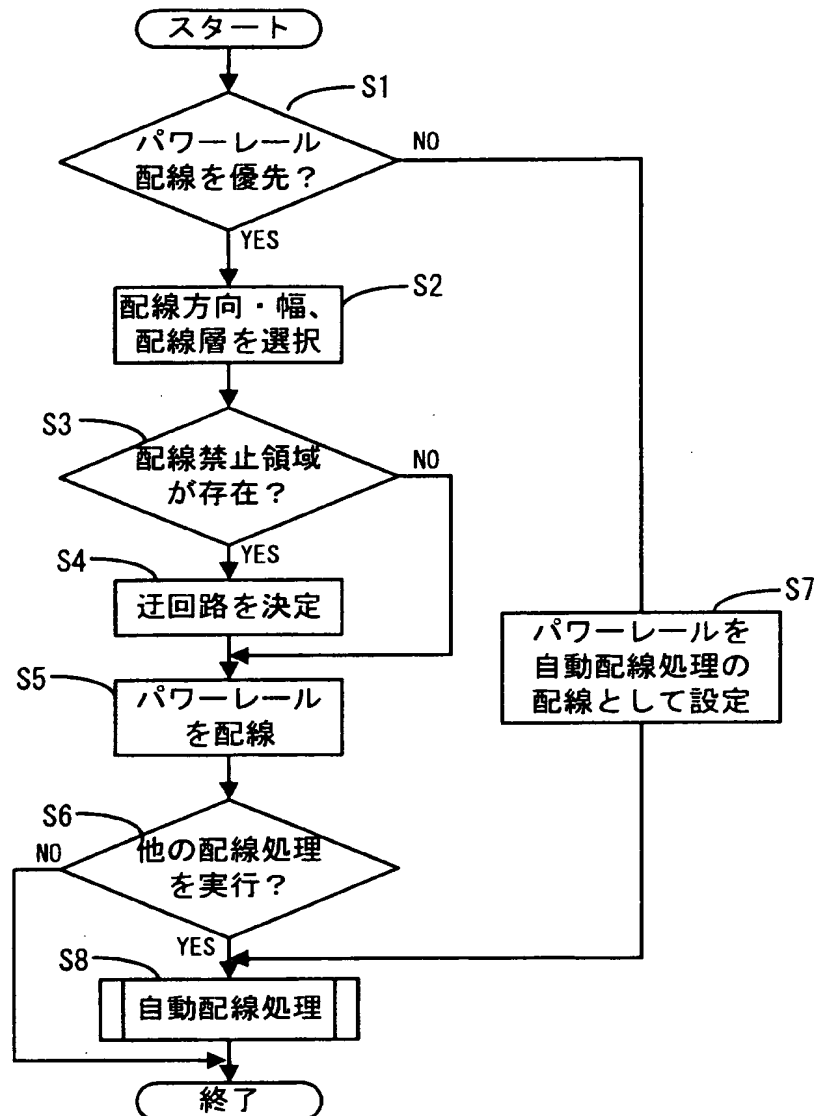
【図10】

本実施形態における配線装置の構成図



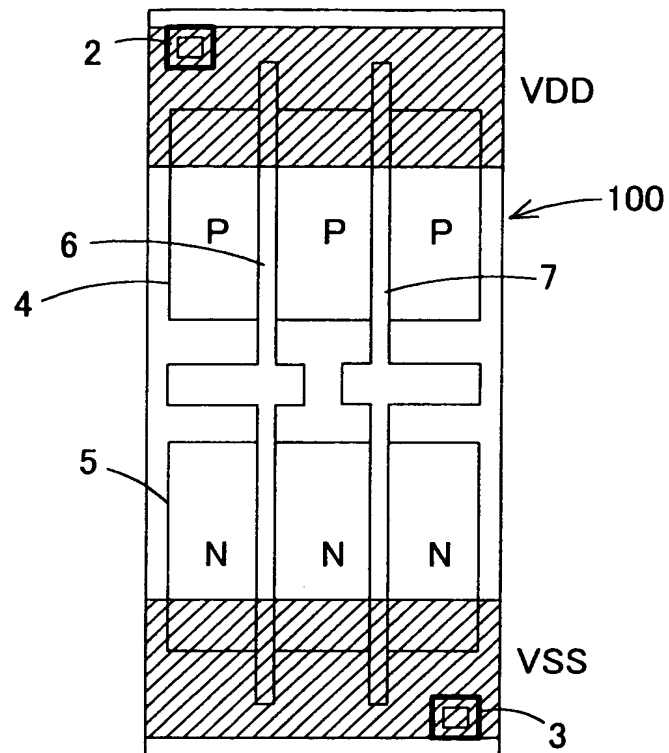
【図 11】


本実施形態の基本セルを使用した機能回路ブロックへの  
配線方法のフローチャート



【図 1 2】

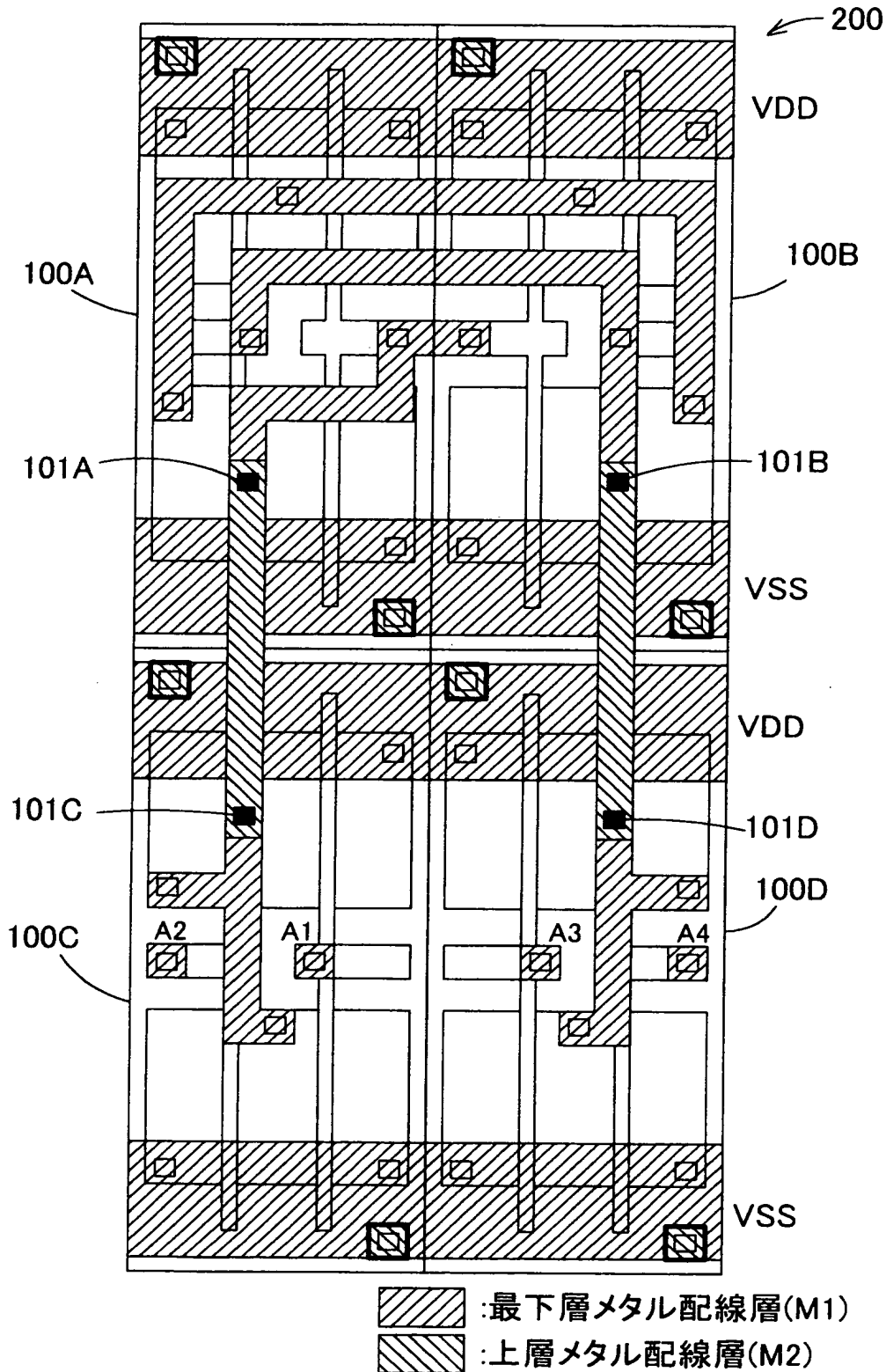
従来技術の基本セル



 :最下層メタル配線層(M1)

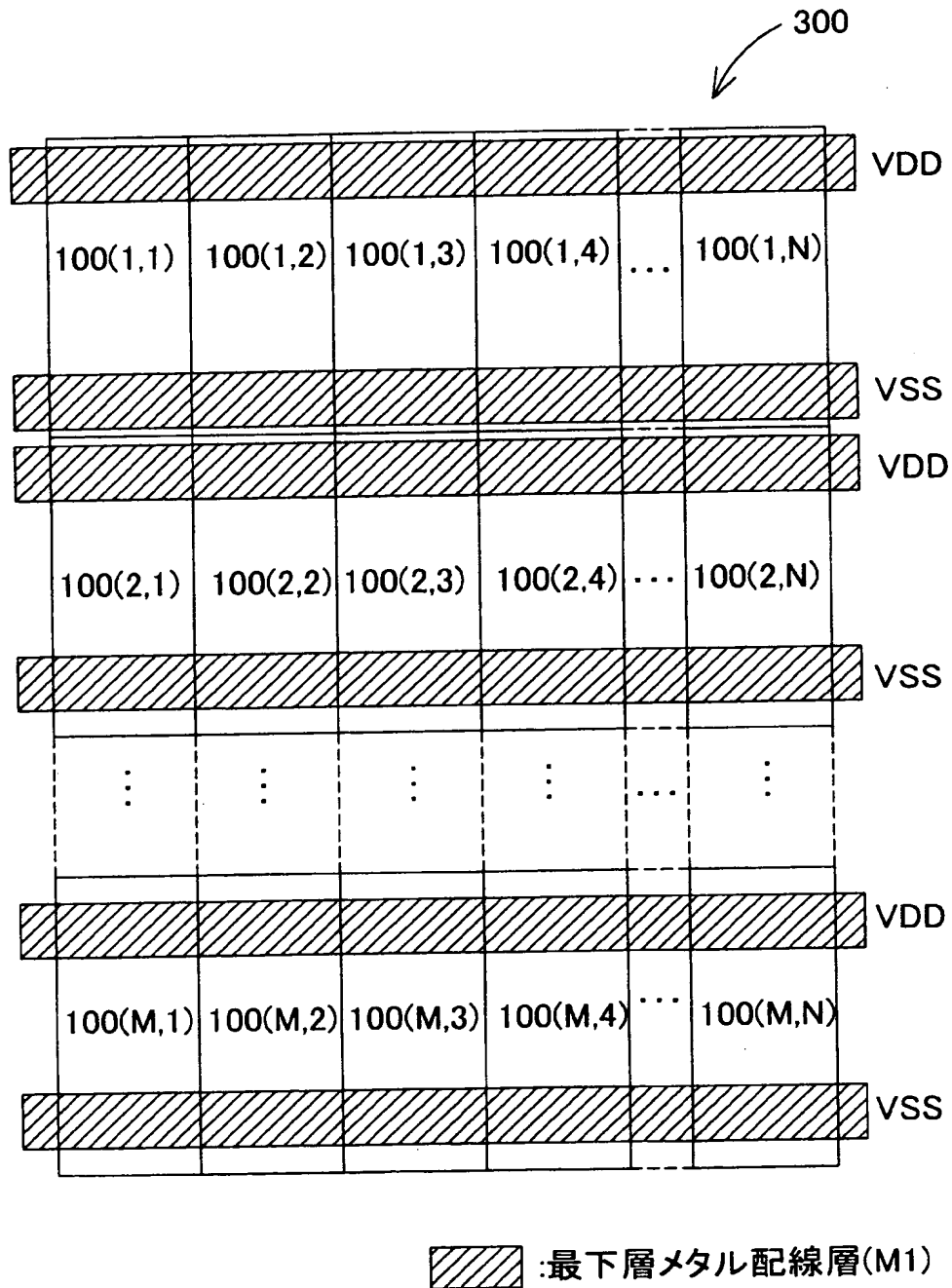
【図13】

従来技術の基本セルを使用して構成した機能ブロック



【図 1 4】

従来技術の基本セルをマトリクス状に配置した場合  
におけるパワーレールの具体例



【書類名】 要約書

【要約】

【課題】 基本セルを利用して機能回路ブロックあるいは半導体集積回路装置をレイアウトする際、配線の自由度を向上させることのできる基本セル、半導体集積回路装置、配線方法、及び配線装置をを提供すること。

【解決手段】 基本セル 1 における接続端子 2、3 は、N 型及び P 型ウェル領域への電源電圧  $V_{DD}$  及び接地電位  $V_{SS}$  を供給するための接続端子である。メタル配線層と N 型及び P 型ウェル領域とのコンタクト構造として構成することができるほか、基本セル 1 を実現する半導体集積回路装置の製造プロセスに応じて多層のメタル配線層と N 型及び P 型ウェル領域とのスタック  $VIA$  構造として構成することもできる。基本セル 1 では、これらの接続端子 2、3、そして 2 つの P MOS 及び N MOS トランジスタへの電源電圧  $V_{DD}$  及び接地電位  $V_{SS}$  は配置されていない。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日  
[変更理由] 住所変更  
住 所 神奈川県川崎市中原区上小田中4丁目1番1号  
氏 名 富士通株式会社

出 願 人 履 歴 情 報

識別番号 [000237617]

1. 変更年月日	1990年 9月 6日
[変更理由]	新規登録
住 所	愛知県春日井市高蔵寺町2丁目1844番2
氏 名	富士通ヴィエルエスアイ株式会社